

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: G02F 1/133

(11) Publication No.: P2002-0040613

(43) Publication Date: 30 May 2002

(21) Application No.: 10-2001-0073056

(22) Application Date: 22 November 2001

(71) Applicant:

Sony Corporation.

(54) Title of the Invention:

Active matrix type display apparatus

Abstract:

In an active matrix type display apparatus according to the present invention, the following measures are provided when stacking, on a substrate, a device layer (light emitting portion) formed by arranging a light emitting portion in a sub-pixel unit and a circuit layer (sub-pixel circuit) formed by arranging a sub-pixel circuit for driving the light emitting portion in the sub-pixel unit: the apparatus has a stripe arrangement as the arrangement of sub-pixel circuits and a delta arrangement as the arrangement of light emitting portions. Therefore, it is possible to improve reliability of the sub-pixel circuits while utilizing the advantages of the delta arrangement of the light emitting portions, and thus realize a high-reliability, high-definition, and high-brightness display apparatus.

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/133

(11) 공개번호 특2002-0040613
(43) 공개일자 2002년05월30일

(21) 출원번호	10-2001-0073056
(22) 출원일자	2001년11월22일
(30) 우선권주장	JP-P-2000-00355195 2000년11월22일 일본(JP) JP-P-2001-00299647 2001년09월28일 일본(JP)
(71) 출원인	소니 가부시끼 가이샤 이데이 노부유키 일본국 도쿄도 시나가와쿠 키타시나가와 6초메 7번 35고
(72) 발명자	아사노미추루 일본국 도쿄도 시나가와쿠 키타시나가와 6초메 7번 35고 소니 가부시끼 가이샤 내 아마다지로 일본국 도쿄도 시나가와쿠 키타시나가와 6초메 7번 35고 소니 가부시끼 가이샤 내 모리타카오 일본국 도쿄도 시나가와쿠 키타시나가와 6초메 7번 35고 소니 가부시끼 가이샤 내 세키아미츠노부 일본국 도쿄도 시나가와쿠 키타시나가와 6초메 7번 35고 소니 가부시끼 가이샤 내
(74) 대리인	이병호

심사청구 : 없음

(54) 액티브 매트릭스형 디스플레이 장치

요약

본 발명에 따른 액티브 매트릭스형 디스플레이 장치에서, 서브-화소 단위로 발광부를 배열함으로써 형성된 소자층(발광부)과, 서브-화소 단위로 상기 발광부의 발광 소자를 구동하기 위한 서브-화소 회로를 배열함으로써 형성된 회로층(서브-화소 회로)을 기판 상에 적층할 때 다음의 대책이 제공된다. 장치는 서브-화소 회로들의 배열로서 스트립 배열과 발광부들의 배열로서 델타 배열을 갖는다. 따라서, 발광부들의 델타 배열의 이점을 이용하면서 서브-화소 회로들의 신뢰성을 향상시켜, 고신뢰성, 고품위, 고휘도의 디스플레이 장치를 실현하는 것이 가능하다.

도표도

도3

제2면

서브-화소, 서브-화소 회로, 발광 소자, 디스플레이, 트랜지스터

명세서

도면의 간단한 설명

- 도 1은 스트립 서브-화소 배열의 구성도.
- 도 2는 델타 서브-화소 배열의 구성도.
- 도 3은 본 발명의 실시예에 따른 액티브 매트릭스형 유기 EL 장치의 구성을 도시하는 회로도.
- 도 4는 유기 EL 소자 구조의 단면도.
- 도 5는 본 실시예에 따른 액티브 매트릭스형 유기 EL 디스플레이 장치 단면 구조의 단면도.
- 도 6a, 6b, 6c는 유기 EL 소자들의 서브-화소 배열과 서브-화소 회로들의 서브-화소 배열의 조합을 도시하는 평면 패턴도.
- 도 7a 및 7b는 유기 EL 소자들의 스트립 배열(7a)과 유기 EL 소자들의 델타 배열(7b) 간의 서브-화소간 거리의 차를 도시하는 도면.
- 도 8a 및 8b는 금속 마스크들의 개구 형상을 도시하는 도면.

- 도 9a, 9b, 9c는 발광 소자들의 발광 영역들의 상이한 형상들을 도시하는 도면.
- 도 10은 유기 EL 소자들의 델타 배열을 도시하는 도면.
- 도 11은 유기 EL 소자들의 델타 배열의 변형예를 도시하는 도면.
- 도 12는 접촉부들을 형성시 수반되는 문제를 설명하는 도면.
- 도 13은 접촉부들의 형성의 제 1 구성을 도시하는 도면.
- 도 14는 제 1 구성의 변형예를 도시하는 도면.
- 도 15a 및 도 15b는 접촉부들의 형성의 제 2 구성을 도시하는 도면.
- 도 16a 및 도 16b는 접촉부들의 형성의 제 3 구성을 도시하는 도면.
- 도 17은 접촉부들의 형성의 제 4 구성을 도시한 레이아웃 패턴도.
- 도 18은 전류 기입형 서브-화소 회로의 구성을 도시하는 회로도.
- 도 19는 접촉부 근처에 슬릿을 갖는 트랜지스터 구조의 사시도.

★ 도면의 주요 부분에 대한 부호의 설명 ★

- 11 : 서브-화소 회로 14 : 공통 전원선
- 15 : 공통 접지선 13 : 정공 수송층
- 14 : 발광층 25 : 전자 수송층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 각각의 서브-화소마다 설치된 능동 소자에 의해 서브-화소 단위로 디스플레이를 제어하는 액티브 매트릭스형 디스플레이 장치에 관한 것으로, 특히, 각각의 서브-화소마다 발광 소자(전기 광학 소자)로서 유기 물질의 전계 발광 소자(이하, 유기 EL 소자라 함)를 사용한 액티브 매트릭스형 유기 전계 발광 디스플레이 장치에 관한 것이다.

최근에, 각각의 서브-화소마다 설치된 발광 소자로서 유기 EL 소자를 사용한 유기 EL 디스플레이 장치가 평면 디스플레이(flat-panel display)로서 주목을 끌어들였다. 유기 EL 소자는 유기 물질이 2개의 전극, 즉, 애노드 전극과 캐소드 전극에 의해 개재된 구조를 갖는다. 전극들 간에 전압을 인가함으로써, 캐소드 전극으로부터 유기층으로 전자가 주입되고 애노드 전극으로부터 유기층으로 정공(hole)이 주입되며, 전자 및 정공이 서로 재결합됨으로써 광이 방출된다. 유기 EL 소자는 10V 이하의 구동 전압에서 수 백 내지 수 천 cd/m²의 휘도(brightness)를 제공할 수 있다. 각각의 서브-화소에 대한 발광 소자로서 유기 EL 소자를 사용한 유기 EL 디스플레이 장치는 차세대 평면 디스플레이로서 유망한 것으로 고려된다.

유기 EL 디스플레이 장치를 구동하는 방법들은 단순(패시브) 매트릭스 방법 및 액티브 매트릭스 방법을 포함한다. 크기가 보다 크고 및 보다 고품위의 디스플레이 장치를 실현하기 위해서는, 주사선 수(즉, 수직 방향으로의 서브-화소 수)의 증가가 각각의 서브-화소의 발광 기간들의 감소를 의미하기 때문에, 단순 매트릭스 방법은 고휘도에서 각각의 서브-화소의 유기 EL 소자가 순간적으로 광을 방출할 것을 요구한다.

반면, 액티브 매트릭스 방법에 있어서는, 각각의 서브-화소가 한 프레임의 기간동안 광을 계속적으로 방출하기 때문에 크기가 보다 크고 및 보다 고품위의 디스플레이 장치를 실현하기가 쉽다. 이러한 액티브 매트릭스 유형의 유기 EL 디스플레이 장치에서 유기 EL 소자를 구동하기 위한 능동 소자로서 일반적으로 박막 트랜지스터(TFT)가 사용된다.

TFT 및 유기 EL 소자를 포함하는 서브-화소 구동 회로(이하, 간단하게 서브-화소 회로라고 함)는 서로간에 1 대 1 대응으로 별도의 층들로서 각각의 서브-화소에 형성된다. 구체적으로, TFT를 포함하는 서브-화소 회로는 회로층을 형성하기 위해 기판 상에 제조된다. 회로층 상에 평탄화막이 형성되고, 이어서 서브-화소 회로를 유기 EL 소자에 전기적으로 접속하기 위한 접촉부를 형성한다. 2개의 전극들 사이에 발광층을 포함하는 유기 층을 개재시킴으로써 형성되는 유기 EL 소자가 또한 평탄화막과 접촉부 상에 제조되고, 그에 의해 소자 층을 형성한다.

유기 EL 디스플레이 장치에 흔히 사용되는 저분자량(low-molecular-weight) 유기 EL 소자의 유기층은 일반적으로 전공 층들에 의해 형성된다. 서브-화소로서 저분자량 유기 EL 소자를 구비한 유기 EL 디스플레이 장치를 다색(multi-color) 또는 풀-컬러(full-color) 디스플레이용으로 하였을 때, 각각의 서브-화소의 유기 EL 소자는 금속 마스크 등을 사용함으로써 선택적으로 증착된다. 따라서, 고정밀 증착 기술이 요구된다. 증착 정확도는 서브-화소의 피치, 발광 소자의 개구비(aperture ratio), 및 증착에서의 오정렬에 의해 야기되는 결함에 영향을 미치기 때문에, 증착 정확도는 고휘도, 고품위, 및 고 신뢰성의 유기 EL 디스플레이 장치의 제조에서 중요하다.

예를 들면, 3개의 상이한 발광색들을 갖는 서브-화소들로 형성된 화소를 구비한 풀-컬러 디스플레이에서, R(적색), G(녹색), 및 B(청색)의 색들로 광을 방출하는 서브-화소들의 가장 간단한 서브-화소 배열은 도 1에 도시한 바와 같이, 발광부들이 스트립 형상으로 서브-화소 단위들로서 배열된 스트립 배열이다. 스트립 배열에서, 모든 주사선 및 모든 신호선은 서로 직교하기 때문에, 스트립 배열은 패턴 레이아웃이 간단해지는 등의 이점이 있다. 그러나, 유기 EL 장치의 증착에 있어서는, 스트립 배열에서 한 서브-화소가

1:1/3의 애스펙트비를 가져 길고 좁은 형상을 갖기 때문에 높은 증착 정확도가 요구된다.

본 명세서에서, 하나의 발광 서브-화소는 서브-화소로서 정의되고, 한 단위의 3개의 인접한 R, G, B의 서브-화소들은 화소로서 정의된다. 또한, 서브-화소들을 매트릭스 형태로 배열함으로써 형성된 서브-화소 부에는, 각각의 행에서의 서브-화소들의 배열 방향, 즉, 행을 선택하기 위한 주사선을 따른 방향은 행 방향으로서 정의하고, 각 열에서의 서브-화소들의 배열 방향, 즉, 주사선에 수직한 방향은 열 방향으로서 정의한다.

또다른 서브-화소 배열로서는, 도 2에 도시한 바와 같이, 삼각형(델타) 형상으로 발광부들을 서브-화소 단위들로서 배열하는 델타 배열이 있다. 델타 배열은 명백한 고 디스플레이 해상도를 제공하는 이점이 있으며, 따라서 이미지 디스플레이용의 디스플레이에 자주 사용된다. 또한, 델타 배열의 하나의 서브-화소는 1/2:2/3의 애스펙트비를 가지므로, 거의 정사각형 형상을 갖는다. 따라서, 델타 배열에서 증착 정확도의 마진은 스트립 배열에 비해 크다.

이와 같이 발광부들이 델타 배열로 서브-화소 단위들로서 배열될 때, TFT들을 포함하는 서브-화소 회로들에 동일한 델타 배열이 통합적으로 채용된다. 그러나, 델타 배열이 서브-화소 회로들용으로 채용될 때, 수직 방향으로 서로에 대해 인접한 서브-화소들의 배열 위치들은 서브-화소 피치의 반만큼 서로에 대해 시프트된다. 따라서, 주사선들과 신호선들은 서브-화소 배열을 따라 굴곡되도록 설계되어 배선 패턴이 복잡해진다. 많은 배선 굴곡부들은 쉽게 결함을 일으키고 수율 감소를 야기한다. 또한, 일부 배선 레이아웃들에서, 배선이 서브-화소를 가로지름으로써, 개구비를 감소시킬 수도 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점들에 비추어 행해졌으며, 따라서, 서브-화소 단위들로서 발광부들을 델타 배열로 배열하는 이점을 이용하면서 서브-화소 회로들의 신뢰성을 향상시킴으로써 고휘도, 고품위, 고 신뢰성의 액티브 매트릭스형 디스플레이 장치를 제공하는 것이 본 발명의 목적이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 본 발명의 일 면에 따라서, 서브-화소 단위로 발광부를 배열함으로써 형성된 소자층과, 상기 서브-화소 단위로 상기 발광부의 발광 소자를 구동하기 위한 서브-화소 회로를 배열함으로써 형성된 회로층을 기판 상에 적층함으로써 형성된 액티브 매트릭스형 디스플레이 장치에 있어서, 상기 서브-화소 회로들이 행 방향과 열 방향의 직선을 상에 존재하는 스트립 서브-화소 배열(이하 스트립 배열이라고 함) 및 상기 발광부들이 상기 서브-화소 회로들의 상기 서브-화소 배열의 행 방향으로 서브-화소 피치의 두 배와 상기 서브-화소 회로들의 상기 서브-화소 배열의 열 방향으로 서브-화소 피치의 1/2를 가지며, 서로간에 인접한 2개의 행들 간 서브-화소 배열의 위상차는 상기 발광부들의 행 방향으로의 피치의 1/2인 델타 서브-화소 배열(이하 델타 배열이라고 함)을 포함하는 액티브 매트릭스형 디스플레이 장치가 제공된다.

액티브 매트릭스형 디스플레이 장치에서 델타 배열은 명료한 고 디스플레이 해상도를 제공하고, 발광 소자들을 고정밀도로 증착할 수 있게 하며, 이에 따라 발광 소자들의 신뢰성을 향상시킬 수 있는 이점이 있다. 따라서, 발광부들의 서브-화소 배열로서 델타 배열은 디스플레이의 보다 높은 고품위 및 고휘도 실현에 기여할 수 있다. 한편, 서브-화소 회로들의 서브-화소 배열로서 스트립 배열은 배선의 굴곡부를 감소시키고, 따라서 배선 패턴을 보다 단순하게 하며, 이에 따라 서브-화소 회로들의 신뢰성을 향상시킨다.

이하 본 발명의 바람직한 실시예를 도면을 참조하여 상세히 기술한다. 도 3은, 예를 들면, 액티브 매트릭스형 유기 EL 디스플레이 장치인 본 발명의 실시예에 따른 액티브 매트릭스형 디스플레이 장치의 구성을 도시한 회로도이다.

도 3에서, 다수의 서브-화소 회로들(이하 간단히 서브-화소들이라고 함)(11)은 매트릭스 형태로 배열되어 디스플레이 영역을 형성한다. 이 경우, 도면을 간단히 하기 위한 예로서 1행 내지 1+2행의 3개의 행들과 1열 내지 1+2열의 3개의 열들의 서브-화소 배열이 도시되어 있다. 이 디스플레이 영역에는 서브-화소 회로들(11)에 대해 주사 신호들(2X(1) 내지 X(1+2))이 순차적으로 공급되어 서브-화소 각각을 행 단위로 선택하는 주사선들(12: 내지 12+2)과, 이미지 데이터, 예를 들면, 휘도 데이터(Y(1) 내지 Y(1+2))를 서브-화소들에 공급하는 데이터 신호들(신호선들)(13: 내지 13+2)이 설치되어 있다.

서브-화소 회로(11)로서 1행 및 1열의 서브-화소(1, 1)를 취하여 이하 설명한다. 그러나, 다른 서브-화소들의 서브-화소 회로들은 동일한 회로 구성을 갖는다. 유기 EL 소자(EL1)는 디스플레이 소자로서 사용되고, TFT(박막 트랜지스터)는 서브-화소 트랜지스터로서 사용된다. 서브-화소 회로(11)는 이러한 회로의 예로서 한정되는 것은 아니다.

서브-화소 회로(11)는 서브-화소를 선택하기 위한 선택 트랜지스터(TR1a), 데이터 전압을 유지하기 위한 보유 용량(C11), 및 유기 EL 소자(EL1)를 구동하기 위한 구동 트랜지스터(TR1b)로 형성된다. 휘도 데이터는 전압의 형태로 데이터선(13)으로부터 공급되고, 따라서, 데이터 전압에 상응하는 전류가 유기 EL 소자(EL1)를 흐른다.

구체적인 접속 관계에 대해서, 유기 EL 소자(EL1)의 애노드는 공통 전원선(전원 전압(Vo))(14)에 접속된다. 구동 트랜지스터(TR1b)는 유기 EL 소자(EL1)의 게이트와 공통 접지선(15) 사이에 접속된다. 보유 용량(C11)은 구동 트랜지스터(TR1b)의 게이트와 공통 접지선(15) 사이에 접속된다. 선택 트랜지스터(TR1a)는 데이터선(13)과 구동 트랜지스터(TR1b)의 게이트 사이에 접속되고, 선택 트랜지스터(TR1b)의 게이트는 주사선(12)에 접속된다.

유기 EL 소자의 구조를 도 4를 참조하여 이하 기술한다. 유기 EL 소자는 투명 유리 등으로 이루어지는 기판(21) 상에 투명 도전막으로 된 제 1 전극(예를 들면, 애노드 전극)(22)을 만들고, 이 위에 정공 수송층(23), 발광층(24), 전자 수송층(25) 및 전자 주입층(26)의 순서로 증착하고 유기층(27)을 또한 형성함으로써 형성된다. 여기서, 낮은 임펠수율의 금속으로 된 제 2 전극(예를 들면, 캐소드 전극)(28)이 유기층

(27) 상에 형성된다.

유기 EL 소자의 제 1 전극(22)과 제 2 전극(28) 간에 직류 전압(E)을 인가함으로써, 제 1 전극(매노드 전극)(22)으로부터 정공 수송층(23)을 통해 발광층(24)으로 정공이 주입되고, 전자는 제 2 전극(캐소드 전극)(28)으로부터 전자 수송층(25)을 통해 발광층(24)으로 주입된다. 주입된 양 및 음 캐리어들은 발광층(24) 내의 형광 분자를 여기 상태가 되도록 하고, 여기된 분자의 이완 과정에 의해 광이 방출된다.

이와 같이 하여 형성된 액티브 매트릭스형 유기 EL 디스플레이 장치의 단면구조가 도 5에 도시된다. 도 5는 어떤 서브-화소 및 미의 서브-화소 회로를 형성하는 유기 EL 소자를 도시한다.

도 5에서, 전술한 바와 같은 선택 트랜지스터(TR11a) 및 구동 트랜지스터(TR11b)를 포함하는 서브-화소 회로(TFT 회로)는 유리 기판(31) 상에 제조되고, 그에 의해 화소층(32)을 형성한다. 또한, 배선(33)이 패터닝에 의해 형성되고, 평탄화 막(34)이 배선(33) 상에 형성된다. 또한, 유기층(37)을 2개의 전극들(34, 36) 사이에 개재시킴으로써 형성된 유기 EL 소자는 평탄화 막(34) 상에 형성되고, 그에 의해 소자층(38)을 형성한다.

도 4에 도시한 유기 EL 소자의 단면 구조에 관련하여, 하부 전극(35)은 제 1 전극(예를 들면, 매노드 전극)(22)에 대응하고, 상부 전극(36)은 제 2 전극(예를 들면, 캐소드 전극)(28)에 대응하고, 유기층(37)은 발광층(24)을 포함하는 유기층(37)에 대응한다. 화소층(32)의 서브-화소 회로는 평탄화 막(34)에 형성되는 접속부(접속부)(39)에 의해 소자층(38)의 유기 EL 소자에 전기적으로 접속된다.

유기 EL 소자의 서브-화소 배열과 서브-화소 회로의 서브-화소 배열의 조합을, 도 6a, 6b, 6c의 평면 패턴도를 참조하여 이하 설명한다.

본 실시예에 따른 액티브 매트릭스형 유기 EL 디스플레이 장치에서, RGB 광을 발광하기 위한 서브-화소들(유기 EL 소자들)의 소자층(38)의 서브-화소 배열은 도 6a에 도시한 델타 배열이고, 화소층(32)의 서브-화소 회로들의 서브-화소 배열은 도 6b에 도시한 스트립 배열이다. 하나의 서브-화소 배열의 서브-화소들은 도 6c에 도시된 바와 같이 1 대 1 대응으로 다른 서브-화소 배열의 서브-화소들에 대항하여 배열된다. 도 6a 및 6c에서 점선으로 둘러싸인 영역은 서브-화소들 각각의 발광 영역이다.

따라서, 서브-화소들의 서브-화소 배열이 델타 배열이고, 델타 배열을 갖는 화소들이 엇갈린 형상으로 배열될 때, 디스플레이를 위한 데이터 배열 이미지가 얻어진다. 전술한 바와 같이, 델타 배열은 영묘한 높은 디스플레이 해상도를 제공하는 이점이 있고, 이에 따라 특히 이미지 디스플레이용으로 가장 적합하다.

저분자량 유기 EL 소자의 경우에, 특히, 미의 유기층은 일반적으로 증착에 의해 형성된다. 이러한 유기 EL 소자를 서브-화소로서 구비하는 유기 EL 디스플레이 장치를 다색 또는 풀-컬러 디스플레이용으로 하였을 때, 유기 EL 소자들은 금속 마스크 등을 사용함으로써 선택적으로 증착되고, 따라서 고정밀 증착 기술이 요구된다. 증착시의 오정렬은 유기층(37)이 증착되지 않음으로써, 하부 전극(35)과 상부 전극(36)이 단락되고, 인접 서브-화소의 유기층(37)의 증착에 의해 혼색이 유발되거나 또는 발광되지 않는 것과 같은 문제들이 발생된다.

또한, 증착 정확도가 충분하지 않을 때, 원하는 서브-화소 피치를 갖는 유기 EL 소자들이 제조될 수 없으므로, 고품위의 유기 EL 디스플레이를 달성하는 것은 가능하지 않다. 또한, 유기층 증착 정확도는 전극들과 절연막들 등을 제조하는 정확도에 비해 일반적으로 떨어진다. 따라서, 특정 해상도를 갖는 디스플레이가 제조될 수 있다라도, 서브-화소의 정확도는 유기층에 의해 결정된다. 따라서, 유기층을 증착하는 정확도의 감소는 발광층의 개구비를 감소시키게 된다.

이를 처리하는 대책으로서, 본 실시예에 따른 유기 EL 디스플레이 장치는 서브-화소들(유기 EL 소자들)의 서브-화소 배열로서 델타 배열을 채용한다. R, G, B의 3개의 인접한 서브-화소들을 단위로서 갖는 하나의 화소에 의해 점유된 면적이 고정되어 있을 때, 도 7a 및 도 7b에서 명백한 바와 같이, 델타 배열(도 7b)의 하나의 서브-화소의 서브-화소 형상은 스트립 배열(도 7a)의 하나의 서브-화소의 서브-화소 형상과 비교할 때 정사각형에 가깝다.

따라서, 유기 EL 소자의 유기층이 증착에 의해 형성될 때, 동일한 색의 서브-화소들 간의 거리는 특히 열 방향으로 증가할 수 있다. 따라서, 델타 배열(도 7b)은 스트립 배열(도 7a)보다는 증착 금속 마스크의 정확도의 큰 마진을 제공한다. 동일한 정확도로 증착이 행해질 때, 델타 배열(도 7b)은 스트립 배열(도 7a)보다는 큰 개구비를 달성할 수 있다.

도 6a에 도시된 바와 같이, 스트립 배열(도 7a)의 경우에 금속 마스크의 개구의 형상은 직사각형 형상의 서브-화소에 대응하는 길고 좁은 직사각형(슬릿 형상)이다. 반면, 도 6b에 도시한 바와 같이, 델타 배열(도 7b)의 경우에 금속 마스크의 개구의 형상은 서브-화소의 형상에 대응하는 정사각형에 보다 가깝다.

증착 소스으로부터 비행하는 입자들의 사행 성분(oblique component)에 대해 연구하였을 때, 길고 좁은 개구 형상을 갖는 직사각형 마스크(도 6a)의 임페(eclipse)가 크고, 따라서 마스크는 증착의 사행 성분에 대해 약하다. 마스크에 의한 큰 임페는 서브-화소 내 막 두께 분포를 약화시키고, 따라서 유기 EL 소자의 신뢰성이 낮아진다. 한편, 거의 정사각형의 개구 형상을 갖는 마스크에 의한 임페(도 6b)는 작으므로 마스크는 증착의 사행 성분에 대해 강하다. 따라서, 서브-화소 내 막 두께 분포는 균일하게 될 수 있다.

최근에 디스플레이들의 해상도의 증가로, 증착 마스크들은 더 커지고 있고 증착 마스크들의 두께는 강성(stiffness)을 갖기 위해 증가되는 경향이 있다. 증착 마스크들의 증가된 두께는 마스크에 의한 임페를 더 크게 한다. 따라서, 서브-화소 내 막 두께 분포를 균일하게 하는 관점으로부터도, 델타 배열이 스트립 배열보다 서브-화소들의 서브-화소 배열로서 더욱 유리하다.

전술한 바로부터, 명백한 바와 같이, 서브-화소들의 서브-화소 배열로서 델타 배열(도 6b)을 사용함으로써, 스트립 배열(도 7a)을 사용하는 것보다 유기 EL 소자의 증착을 보다 고정밀로 할 수 있다. 또한, 유기 EL 소자의 신뢰성을 향상시키고 크기를 감소시킬 수 있으므로, 고신뢰성, 고품위, 고휘도의 유기 EL 디스플레이를 실현하는 것이 가능하다.

한편, 서브-화소 회로들의 서브-화소 배열로서 스트립 배열의 사용은 델타 배열의 경우에서처럼 서브-화소 배열을 따라 배선을 굵게시킬 필요성을 제거하므로, 배선의 구성을 단순화시킬 수 있다. 결국, 서브-화소 회로들의 신뢰도가 향상될 수 있다. 발광 소자의 발광 영역은 사변형으로 할 필요는 없으며, 발광 소자의 발광 영역은, 예를 들면, 도 9a에 도시한 바와 같이 육각형일 수도 있다.

도 10에 도시한 바와 같이, 전술한 실시예에 따른 델타 배열에서 두꺼운 선들로 둘러싸인 화소들(R88)의 서브-화소들, 즉, 동일한 발광 색의 서브-화소들은 서로 인접하여 있지 않다. 또한, 델타 배열은 화소들이 엇갈리게 배열되고, 각각의 화소는 중심 위치들이 서로간에 인접하여 삼각형을 이루는 3개의 상이한 색들의 3개의 서브-화소들을 갖는 화소 배열이다. 서브-화소 회로들의 서브-화소 배열이 상기 델타 배열을 갖는 스트립 배열일 때, 데이터 신호로부터 적합한 이미지를 얻기 위해서, 주사선을 및 데이터 선들은 델타 서브-화소 배열을 따라 복잡하게 루트가 정해질 필요가 있고, 또는 데이터 신호는 구동 시스템에 의해 델타 배열용의 데이터 신호로 변환될 필요가 있다.

델타 배열의 문제로서, 행 방향으로 서로간에 인접한 서브-화소들 사이에 서브-화소의 1/2의 열 방향으로 위상차가 있다. 따라서, 델타 배열에 있어서는 수직 방향으로 직선의 이미지 디스플레이를 정확하게 하기 어렵다. 따라서, 문자 디스플레이를 요하는 PC(개인용 컴퓨터) 모니터용의 디스플레이는 일반적으로 스트립 배열을 사용한다.

도 11은 델타 배열의 변형예를 도시한다. 변형예에 따른 델타 배열에서 두꺼운 선들로 둘러싸인 화소들(R88)은 스트립 형태로 배열된다. 구체적으로, 델타 배열은 반전된 정 델타 형상, 또는 상단들과 하단들이 서로에 대해 반전되어 있는 삼각형들이 2개의 서브-화소 행들에서 번갈아 배열된 화소 배열이다. 디스플레이에서, 델타 배열에서 행 방향으로 서로간에 인접한 화소들은 스트립 배열과 동일한 위치에 배열된다.

따라서, 유기 EL 소자들의 배열이 델타 배열이기 때문에, 동일한 색을 위한 금속 마스크들 간 거리가 증가될 수 있다. 따라서, 고정밀 증착이 가능하고, 그에 의해 유기 EL 소자들의 신뢰성이 향상되고 유기 EL 소자들의 크기가 감소된다. 또한, 델타 배열에서 화소들(R88)은 스트립으로 배열되기 때문에, 유기 EL 소자들은 스트립 배열과 동일한 방식으로 구동될 수 있다. 결국, 변형예는 도 10의 델타 배열보다 문자 디스플레이를 정확하게 할 수 있게 한다.

따라서, 주사선을 및 데이터 선들을 복잡한 방식으로 루트를 정하거나, 데이터 신호를, 델타 배열에서 유기 EL 소자들을 구동하는 경우와 같이 구동 시스템에 의해 델타 배열을 위한 데이터 신호로 변환하는 것은 필요하지 않다. 따라서, 간단한 배선 및 간단한 구동 시스템으로, 델타 배열을 사용하는 것보다 문자 디스플레이에 보다 적합한 고신뢰성 및 고품위의 유기 EL 디스플레이를 제조하는 것이 가능하다.

서브-화소 회로들의 서브-화소 배열이 스트립 배열이고 발광부들의 서브-화소 배열은 본 실시예에 따른 액티브 매트릭스형 EL 디스플레이 장치에서와 같이 델타 배열일 때, 다음의 구성이 얻어진다. 일반적으로, 도 12에 도시한 바와 같이, 접촉부들(39)은 행들 사이에 직선으로 형성되고, 화소들(32)의 서브-화소 화소는 접촉부(39)를 통해 소자층(38)의 대응하는 유기 EL 소자에 전기적으로 접속된다.

도 12에서, 실선으로 표시된 영역은 발광부(서브-화소)를 나타내며, 점선으로 표시된 영역은 발광 영역을 나타낸다. 행들 사이에 직선으로 접촉부들(39)을 배열하기 위해서, 행들 사이에 접촉부들(39)을 형성하기 위한 폭(W)의 여백이 확보될 필요가 있다. 이것은 열 방향으로(수직 방향) 서브-화소 피치를 작게 설정되지 못하게 한다. 한편, 어떤 일정한 서브-화소 피치를 확보하기 위해서, 발광 영역의 면적(이하 발광 영역이라 함)을 감소시킬 필요가 있다.

접촉부들(39)을 형성함에 있어 수반되는 상기 문제들을 해결하기 위해서, 본 발명은 다음의 구성들을 채용한다. 화소들(32)의 서브-화소 회로들을 소자층(38)의 유기 EL 소자들에 전기적으로 접속하기 위한 접촉부들(39)을 형성하기 위한 구성을, 몇몇 예를 취하여 다음에 기술한다.

[제 1 구성]

제 1 구성은 행 방향으로 서로 간에 인접한 서브-화소 회로들의 2개의 서브-화소들을 단위로 하는 접촉부들(39)을 취한다. 접촉부들(39)은, 예를 들면, 도 13에 도시한 바와 같이 접촉부들(39) 사이에 행간 경계선을 개재하여, 2개의 서브-화소들 사이에 서로간에 상이한 위치들에서 수직 방향으로 엇갈리게 배열된다. 이 구성은 도 6c에 도시되어 있는 것과 동일하다. 도 6c로부터 명백한 바와 같이, 접촉부(39)의 위치는 주사선-방향(행 방향)으로 서로간에 인접한 2개의 서브-화소들 간에, 즉, R 서브-화소와 R 서브-화소 간, R 서브-화소와 R 서브-화소 간, 및 R 서브-화소와 R 서브-화소 간에 상이하다. 따라서, 접촉부들(39)은 접촉부들(39) 사이에 행간 경계선을 개재하여 수직 방향으로 엇갈려 배열된다.

제 1 구성을 갖는 액티브 매트릭스형 유기 EL 디스플레이 장치는 행 방향으로 서로간에 인접한 서브-화소 회로들의 2개의 서브-화소들을 단위로 하는 접촉부들(39)을 취하고, 2개의 서브-화소들 간에 서로 상이한 위치들에 접촉부들(39)을 배열함으로써, 접촉부들(39)을 배열하기 위한 행들 사이에 영역을 확보할 필요성이 제거된다. 따라서, 대응하여 발광면적을 증가시키고 수직 방향으로 서브-화소 피치를 보다 작게 설정하는 것이 가능하다.

[제 1 구성의 변형]

제 1 구성의 변형으로서, 발광부들 및 발광 영역들이 오각형 형상이고, 2개의 인접한 행들에 발광부들의 끝부분들이 도 14에 도시한 바와 같이 서로 맞닿은 구성을 생각할 수 있다. 이 경우, 접촉부들(39)은 도 14에 도시한 바와 같이, 발광 영역들의 끝부분들에 배열된다. 또한 이 경우에, 서브-화소 회로들의 2개의 서브-화소들을 단위로 하는 접촉부들(39)이 취해지고, 접촉부들(39)은 2개의 서브-화소들 간에 서로 상이한 위치들에 배열된다.

따라서, 발광부들 및 발광 영역들을 오각형으로 형상화하고 접촉부들을 발광 영역들의 끝부분 부분에 배열함으로써, 끝부분 이외의 오각형 발광 영역의 거의 직사각형 영역은 광 방출에 실제로 기여하는 영역(이하, 실 발광 영역이라 함)으로서 얻어질 수 있다. 따라서, 발광 면적이 증가될 수 있다. 구체적인

로, 접촉부(39)를 형성하기 위한 부분은 레벨 차를 갖고 있고, 광 방출에 기여하지 않는 영역이므로, 발광 부분과 발광 영역들이 도 13에 도시한 바와 같이 직사각형으로 형성되었을 때, 직사각형 영역은 이미 형성에서 실 발광 영역을 형성하지 않으며 실 발광 영역은 접촉부(39)를 형성하기 위한 부분의 면적만큼 감소된다.

본 변형예의 경우에, 발광부와 발광 영역들은 오각형 형상이고, 접촉부들(39)은 발광 영역들의 돌출 부분들에 배열된다. 즉, 접촉부(39)를 발광부의 소정의 발광 영역(이 경우에 도 13에 도시한 직사각형 영역) 외부에 배열함으로써, 광 방출에 기여하지 않는 영역은 돌출 부분뿐이다. 따라서, 도 13에 도시한 직사각형 영역과 동일한 크기의 영역이 실 발광 영역으로서 얻어질 수 있고, 그에 의해 발광 면적을 증가시키는 것이 가능하게 된다.

상기 구성과 이미 변형예는 접촉부(39)의 위치만을 명시하고 서브-화소 회로들을 형성하는 TFT들과 같은 회로 소자들의 레이아웃을 구체적으로 한정하지 않는다. 그러나, 회로 소자들의 레이아웃이 서브-화소들마다 다를 때, 서브-화소 회로의 특성은 일반적으로 서브-화소들마다 다를 수 있다.

[제 2 구성]

도 15a에 도시된 것과 같이, 제 2 구성은 행 방향으로 서로 인접한 2개의 서브-화소들(F, F')을 단위로 하는 접촉부들(39)을 취하고, 2개의 서브-화소들(F, F') 간에 서로 상이한 위치들에 수직 방향으로 엇갈리게 접촉부들(39)을 배열한다. 또한, 제 2 구성은 서브-화소들 사이에 서브-화소 회로들을 형성하는 TFT들과 같은 회로 소자들의 동일한(고정된) 레이아웃을 갖는다. 또한, 도 15a는 발광부들에서의 접촉을 위한 회로들(32) 및 접촉부들(39)의 서브-화소들의 형상만을 도시한다. F 및 F'는 F와 F' 간에 접촉부(39)의 위치만이 다를 뿐 아니라, 회로 소자들의 레이아웃은 F와 F' 간에 동일하다.

따라서, 행 방향으로 서로 간에 인접한 2개의 서브-화소들을 단위로 하는 접촉부들(39)만이 취해지고, 2개의 서브-화소들 간에 서로 상이한 위치들에 접촉부들(39)만이 배열된다. 한편, 서브-화소 회로들을 형성하는 TFT들과 같은 회로 소자들의 레이아웃은 서브-화소들 간에 동일하게 이루어진다. 따라서, 접촉부들(39)의 위치의 설정에 의해 발광 면적을 증가시켜 발광 영역을 최적화하는 것이 가능하다. 또한, 회로 소자들의 레이아웃에 의해 야기되는 서브-화소들 간 서브-화소 회로들의 특성의 변동을 최소화하는 것이 가능하고, 이에 따라 균일한 특성을 갖는 서브-화소 회로 단위를 실현하는 것이 가능하다.

[제 2 구성의 변형]

도 15b에 도시한 바와 같이, 변형예는 서브-화소들 사이에 서브-화소 회로들을 형성하는 TFT들과 같은 회로 소자들의 동일한(고정된) 레이아웃을 가지며, 서브-화소 회로의 종선으로부터 변위된 위치에 접촉부(39)를 배열하고, 행 방향으로 서로 간에 인접한 2개의 서브-화소들 중 한 화소에 서브-화소 회로를 반전시킨다. 따라서, 회로 소자들의 레이아웃은 서브-화소들 간에 동일하며, 행 방향으로 서로 간에 인접한 2개의 서브-화소들을 단위로 하는 접촉부들(39)만이 취해지고, 접촉부들(39)만이 2개의 서브-화소들에서 수직 방향으로 엇갈리게 배열된다.

또한 본 실시예의 경우, 접촉부들(39)의 위치의 설정에 의해 발광면적을 증가시켜 발광 영역을 최적화하는 것이 가능하다. 또한, 회로 소자들의 레이아웃에 의해 야기되는 서브-화소들 간의 서브-화소 회로들의 특성의 변동을 최소화하는 것이 가능하고, 이에 따라, 균일한 특성을 갖는 서브-화소 회로 단위를 실현하는 것이 가능하다. 행 방향으로 서로 간에 인접한 2개의 서브-화소들 중 하나의 서브-화소 회로가 반전되어 있고, 도 16a에 도시한 바와 같이 열 방향으로 변위되어 있는 구성에 의해서 유사한 효과들이 달성될 수 있다.

[제 3 구성]

제 3 구성은 서브-화소들 사이에 서브-화소 회로들을 형성하는 TFT들과 같은 회로 소자들의 동일한(고정된) 레이아웃을 가지며, 서브-화소들 사이의 서브-화소 회로들에 대해 동일한 접촉부들(39)의 위치를 가지며, 도 16a에 도시한 바와 같이, 행 방향으로 서로 간에 인접한 2개의 서브-화소들 중 하나의 서브-화소 회로가 열 방향으로 변위되어 있다. 따라서, 행 방향으로 서로 간에 인접한 2개의 서브-화소들을 단위로 하는 접촉부들(39)만이 취해지고, 2개의 서브-화소들에 수직 방향으로 엇갈리게 배열된다.

또한 본 구성의 경우에, 접촉부들(39)의 위치의 설정에 의해 발광면적을 증가시켜 발광 영역을 최적화하는 것이 가능하다. 또한, 회로 소자들의 레이아웃에 의해 야기되는 서브-화소들 간의 서브-화소 회로들의 특성의 변동을 최소화하는 것이 가능하고, 이에 따라, 균일한 특성을 갖는 서브-화소 회로 단위를 실현하는 것이 가능하다. 행 방향으로 서로 간에 인접한 2개의 서브-화소들 중 하나의 서브-화소 회로가 반전되어 있고, 도 16b에 도시한 바와 같이 열 방향으로 변위되어 있는 구성에 의해서 유사한 효과들이 달성될 수 있다.

[제 4 구성]

도 17은 제 4 구성에 따른 레이아웃을 도시한 패턴도이다. 도 17은 서브-화소 회로가 도 18에 도시한 전류 기입형 서브-화소 회로로 형성되어 있다.

전류 기입형 서브-화소 회로의 회로 구성에 대해 먼저 기술한다. 도 18은 도면을 간단하게 하기 위해서, 제 1 열에서 서로 인접한 제 1 행 및 제 1+1 행의 2개의 서브-화소들((1, 1) 및 (1, 1+1))의 서브-화소 회로들(P1, P2)만을 도시한 것이다.

도 18에서 서브-화소(1, 1)의 서브-화소 회로(P1)는 제 1 전원(이 경우는 접지)에 접속된 캐소드를 갖는 유기 EL 소자(41-1); 유기 EL 소자(41-1)의 애노드에 접속된 드레인과 제 2 전원(이 경우는 양 전원(Vdd))에 접속된 소스를 갖는 TFT(42-1); TFT(42-1)의 게이트와 양 전원(Vdd) 사이에 접속된 캐패시터(43-1); 및 TFT(42-1)의 게이트에 접속된 드레인과 주사선(48B-1)에 접속된 게이트를 갖는 TFT(44-1)를 포함한다.

마찬가지로, 서브-화소(1, 1+1)의 서브-화소 회로(P2)는 접지에 접속된 캐소드를 갖는 유기 EL 소자(41-2); 유기 EL 소자(41-2)의 애노드에 접속된 드레인과 양 전원(Vdd)에 접속된 소스를 갖는 TFT(42-2);

TFT(42-2)의 게이트와 양 전원(Vdd) 사이에 접속된 캐패시터(43-2); 및 TFT(42-2)의 게이트에 접속된 드레인과 주사선(48B-2)에 접속된 게이트를 갖는 TFT(44-2)를 포함한다.

2개의 서브-화소들을 위한 서브-화소 회로들(P1, P2)은, 공통적으로, 드레인과 게이트가 전기적으로 단락된 소위 다이오드 접속 TFT(45); 및 TFT(45)와 데이터 선(47) 사이에 접속된 TFT(46)를 갖는다. 구체적으로, TFT(45)의 드레인 및 게이트는 서브-화소 회로(P1)의 TFT(44-1)의 소스와 서브-화소 회로(P2)의 TFT(44-2)의 소스에 접속되고, TFT(45)의 소스는 양 전원(Vdd)에 접속된다. TFT(46)는 TFT(45)의 드레인 및 게이트에 접속된 드레인과, 데이터 선(47)에 접속된 소스와, 주사선(48A)에 접속된 게이트를 갖는다.

이 회로의 예에서, p-채널 MOS 트랜지스터가 TFT(42-1), TFT(42-2), TFT(45)로서 사용되고, n-채널 MOS 트랜지스터는 TFT(44-1), TFT(44-2), TFT(46)로서 사용된다. 그러나, TFT들은 상기 도전형들로 제한되지 않는다.

이와 같이 하여 형성된 서브-화소 회로들(P1, P2)의 TFT(46)는 데이터 선(47)으로부터 공급되는 전류(Iw)를 선택적으로 TFT(45)에 공급하기 위한 제 1 주사 스위치로서의 기능을 갖는다. TFT(45)는 TFT(46)를 통해 데이터 선(47)으로부터 공급되는 전류(Iw)를 전압으로 변환하는 변환기부로서의 기능을 가지고 있고, 또한 TFT(42-1, 42-2)와 함께 전류 미러 회로를 형성한다. 전류(Iw)를 기입하는 경우에만 TFT(45)가 사용되기 때문에, TFT(45)는 서브-화소 회로들(P1 및 P2) 간에 공유될 수 있다.

TFT들(44-1, 44-2)은 TFT(45)에 의해 전류(Iw)를 변환함으로써 얻어진 전압을 캐패시터들(43-1, 43-2)에 선택적으로 공급하기 위한 제 2 주사 스위치로서의 기능을 갖는다. 캐패시터들(43-1, 43-2)은 TFT(45)에 의해 전류(Iw)를 변환하며, 얻어진 TFT들(44-1, 44-2)을 통해 공급된 전압을 유지하기 위한 유지부로서의 기능을 갖고 있다. TFT들(42-1, 42-2)은 캐패시터들(43-1, 43-2)에 의해 유지된 전압을 전류로 변환하며 이 전류를 유기 EL 소자들(41-1, 41-2)에 공급함으로써 발광을 위해 유기 EL 소자들(41-1, 41-2)을 구동하기 위한 구동부로서의 기능을 갖고 있다.

이와 같이 형성된 전류 기입형 서브-화소 회로들에 휘도 데이터를 기입하는 동작을 다음에 기술한다.

먼저 서브-화소(1, 1)에 휘도 데이터의 기입이 고려될 것이다. 휘도 데이터에 대응하는 전류(Iw)는 주사선들(48A, 48B-1) 모두가 선택된 상태에서 데이터 선(47)에 공급된다. 전류(Iw)는 도통 상태의 TFT(48)를 통해 TFT(45)에 공급된다. TFT(45)로 흐르는 전류에 응답하여, 전류(Iw)에 대응하는 전압이 TFT(45)의 게이트에서 발생된다. 전압은 도통 상태의 TFT(44-1)를 통해 캐패시터(43-1)에 공급된 다음, 캐패시터(43-1)에 의해 유지된다.

다음에, 캐패시터(43-1)에 의해 유지된 전압에 대응하는 전류가 TFT(42-1)를 통해 유기 EL 소자(41-1)로 흐른다. 그에 의해, 유기 EL 소자(41-1)는 발광하기 시작한다. 주사선들(48A, 48B-1)이 비선택 상태로 되었을 때, 서브-화소(1, 1)에 휘도 데이터를 기입하는 동작이 완료된다. 일련의 동작 단계들 동안, 주사선(48B-2)은 비선택 상태에 있으므로 서브-화소(1, 1+1)의 유기 EL 소자(41-2)는 캐패시터(43-2)에 의해 유지된 전압에 대응하는 휘도로 발광한다. 따라서, 서브-화소(1, 1)에의 기입 동작은 유기 EL 소자(41-2)의 발광 상태에 전혀 영향을 미치지 않는다.

다음으로 서브-화소(1, 1+1)에 휘도 데이터의 기입이 고려될 것이다. 휘도 데이터에 대응하는 전류(Iw)는 주사선들(48A, 48B-2) 모두가 선택된 상태에서 데이터 선(47)에 공급된다. TFT(46)를 통해 TFT(45)로 흐르는 전류(Iw)에 응답하여, 전류(Iw)에 대응하는 전류가 TFT(45)의 게이트에서 생성된다. 전압은 도통 상태의 TFT(44-2)를 통해 캐패시터(43-2)로 공급된 다음, 캐패시터(43-2)에 의해 유지된다.

다음에, 캐패시터(43-2)에 의해 유지된 전압에 대응하는 전류가 TFT(42-2)를 통해 유기 EL 소자(41-2)로 흐른다. 그에 의해 유기 EL 소자(41-2)는 발광하기 시작한다. 일련의 동작 단계들 동안, 주사선(48B-1)은 비선택 상태에 있으므로 서브-화소(1, 1)의 유기 EL 소자(41-1)는 캐패시터(43-1)에 의해 유지된 전압에 대응하는 휘도로 발광한다. 따라서, 서브-화소(1, 1+1)에의 기입 동작은 유기 EL 소자(41-1)의 발광 상태에 전혀 영향을 미치지 않는다.

이와 같이 형성된 전류 기입형 서브-화소 회로들의 실제 예들 도 17의 패턴도를 참조하여 다음에 기술한다.

이 레이아웃의 예에서, 행 방향(주사선 방향)으로 서로간에 인접한 2개의 서브-화소들((1, 1) 및 (1+1, 1))의 서브-화소 회로들을 세트로서 취하고, 2개의 서브-화소들, TFT들 및 특히 이들의 배선 패턴의 서브-화소 회로들을 형성하는 회로 소자들은 열들 간의 경계선에 대해 대칭이다. 소자들의 유기 EL 소자들을 서브-화소 회로들에 전기적으로 접속하기 위한 접속부들(39)에 대해서, 세트를 형성하는 2개의 서브-화소들을 단위로 하는 접속부들(39)은 취해지고, 전술한 제 1 내지 제 3 구성과 같이, 2개의 서브-화소들의 수직 방향으로 엇갈리게 서브-화소 회로들의 상이한 위치들에 배열된다.

도 17의 레이아웃 패턴도에서의 회로 소자들과 도 18의 서브-화소 회로도에서의 서브-화소(1, 1)의 서브-화소 회로(P1)의 회로 소자들 간 대응에 있어서, T1은 TFT(45)에 대응하고, T2는 TFT(42-1)에 대응하고, T3은 TFT(46)에 대응하고, T4는 TFT(44-1)에 대응하고, Cs(빗금친 영역)은 캐패시터(43-1)에 대응한다.

도 17로부터 명백한 바와 같이, 행 방향으로(도면에서 좌우 방향) 서로간에 인접한 2개의 서브-화소들((1, 1) 및 (1+1, 1))의 서브-화소 회로들에서의 회로 소자들의 레이아웃들은 2개의 서브-화소들의 단위들로 엇갈리게 배열된 접속부들(39)을 제외하고, 열들 사이의 경계선(Ly)에 대해서 대칭이 되도록 형성된다. 또한, 열 방향(도면에서 상하 방향)으로 서로 인접한 2개의 서브-화소들((1, 1) 및 (1, 1+1))의 서브-화소 회로들의 회로 소자들의 레이아웃들, 즉, 2개의 이웃한 행들의 서브-화소 회로들은 접속부들(39)을 제외하고, 행들 사이의 경계선(Lx)에 대해서 대칭이 되도록 형성된다.

서브-화소들의 레이아웃 패턴에서, 행 방향으로 서로간에 이웃한 2개의 서브-화소들이 단위로써 취해지고, 전압(Vdd) 선(51)은 2개의 서브-화소들 간, 즉, 도 17의 예에서, 서브-화소(1, 1)와 서브-화소(1+1, 1) 간, 및 서브-화소(1, 1+1)와 서브-화소(1+1, 1+1) 간의 경계선(Ly)을 따라 루트가 정해진다. 전원선(51)은 행 방향으로 서로 인접한 2개의 서브-화소들 간에 공유된다. 이러한 구성에 의해서, 단일

의 전원선이 2개의 열들을 위한 전원선으로서 루트가 정해질 수 있고, 이에 따라 도 17로부터 명백한 바와 같이 전원선(51)의 배선 폭을 크게 설정할 수 있게 된다.

열 방향으로 서로 인접한 2개의 서브-화소들을 단위로 취한 상태에서, $X1(1, 1+1)$ 의 주사선(52)은 2개의 서브-화소들 간, 즉, 도 17의 예에서, 서브-화소(1, 1)와 서브-화소(1, 1+1) 간, 서브-화소(1+1, 1)와 서브-화소(1+1, 1+1) 간 및 서브-화소(1+2, 1)와 서브-화소(1+2, 1+1) 간의 경계선(Lx)을 따라 루트가 정해진다. 주사선(52)은 열 방향으로 서로 인접한 2개의 서브-화소들 간에 공유되고, 이에 의해서 도 19의 서브-화소 회로들의 TFT(46), 즉, 도 17의 트랜지스터(T3)가 2개의 서브-화소들 간에 공유된다.

큰 면적을 갖는 배선 패턴, 예를 들면, 전원선(51)의 배선 패턴의 방향으로 확장하는 슬릿들(53, 54)은 트랜지스터(T1)(도 18에서 TFT(45))의 소스의 접촉부(A)와 배선 패턴에 존재하는 트랜지스터(T2)(도 18에서 TFT(42-1))의 소스의 접촉부(B) 근처에 형성된다. 도 19는 예를 들면, 접촉부(A) 근처에 슬릿(53)을 갖는 트랜지스터(T1)의 구조를 도시한 것이다. 슬릿(53 또는 54)의 효과에 대해서 다음에 기술한다.

트랜지스터(T1) 측에, 큰 영역(면적)을 갖는 배선 패턴, 또는 이 경우 전원선(51)의 배선 패턴이 있다면, 배선 물질(예를 들면, 알루미늄)은 제조 단계에서 열이 인가될 때 트랜지스터 측으로 확산될 수 있는데, 이것은 트랜지스터 파괴를 야기할 수 있다. 트랜지스터 측으로 확산되는 배선 물질의 공급원은 트랜지스터(T1)의 접촉부(A) 근처에 슬릿(53)을 형성함으로써 감소될 수 있다. 결국, 트랜지스터 측으로의 배선 물질의 확산을 제거하고, 이에 따라, 제조 단계에서 트랜지스터의 파괴를 방지하는 것이 가능하다. 또한, 슬릿(53 또는 54)은 전원선(51)의 배선 패턴의 배선 방향으로 형성되기 때문에, 슬릿을 형성함에 있어 수반되는 배선 저항의 증가를 최소화하는 것이 가능하다.

발명의 효과

전술한 바와 같이, 전술한 구성들은 2개의 서브-화소들을 단위로 하는 접촉부들(39)을 취하며, 2개의 서브-화소들에서 수직 방향으로 엇갈리게 서브-화소 회로들의 상이한 위치들에 접촉부들(39)을 배열한다. 이것은 발광 면적, 즉, 개구비를 증가시켜, 액티브 매트릭스형 유기 EL 디스플레이 장치의 보다 밝은 휘도를 달성하는 것을 가능하게 한다. 또한, 서브-화소 회로들 간 특성을 균일하게 할 수 있기 때문에, 액티브 매트릭스형 유기 EL 디스플레이 장치의 보다 높은 품질을 달성하는 것이 가능하다.

전술한 실시예들을 서브-화소 회로의 발광 소자로서 유기 EL 소자를 사용한 액티브 매트릭스형 유기 EL 디스플레이 장치에 응용하는 것을 예로서 기술하였지만, 본 발명은 이를 응용물로 한정되지 않으며 일반적으로 회로층 상에 발광층을 포함하는 소자층을 적층함으로써 형성된 액티브 매트릭스형 디스플레이 장치에 적용할 수 있다.

전술한 바와 같이, 서브-화소 단위로 발광부를 배열함으로써 형성된 소자층과 서브-화소 단위로 발광부의 발광 소자를 구동하기 위한 서브-화소 회로를 배열함으로써 형성된 회로층을 기판 상에 적층함으로써 형성된 액티브 매트릭스형 디스플레이 장치는 서브-화소 회로들의 서브-화소 배열로서는 스트림 배열을 취하고 발광 소자들의 서브-화소 배열로서는 델타 배열을 취한다. 따라서, 발광 소자들의 델타 배열의 이점들을 이용하면서 서브-화소 회로들의 신뢰성을 향상시켜, 이에 따라 고신뢰성, 고품위, 고휘도의 디스플레이 장치를 실현하는 것이 가능하다.

(57) 청구의 범위

형구항 1

서브-화소 단위로 발광부를 배열함으로써 형성된 소자층과, 상기 서브-화소 단위로 상기 발광부의 발광 소자를 구동하기 위한 서브-화소 회로를 배열함으로써 형성된 회로층을 기판 상에 적층함으로써 형성된 액티브 매트릭스형 디스플레이 장치에 있어서:

상기 서브-화소 회로들이 행 방향과 열 방향 양쪽 모두의 직선들 상에 존재하는 스트림 서브-화소 배열; 및

상기 발광부들이 상기 서브-화소 회로들의 상기 서브-화소 배열의 행 방향으로 서브-화소 피치의 두 배 및 상기 서브-화소 회로들의 상기 서브-화소 배열의 열 방향으로 서브-화소 피치의 1/2를 가지며, 서로 간에 인접한 2개의 행들 간 서브-화소 배열의 위상차는 상기 발광부들의 행 방향으로의 피치의 1/2인 델타 서브-화소 배열을 포함하는, 액티브 매트릭스형 디스플레이 장치.

형구항 2

제 1 항에 있어서,

3개의 상이한 색들의 광을 발광하는 3개의 상기 발광 소자들을 단위로 하여 하나의 화소를 형성하고;

상기 발광 소자들은, 동일한 발광색의 서브-화소들이 서로 인접하지 않고 하나의 화소 내의 3개의 상이한 색들의 3개의 서브-화소들의 중심 위치들이 서로 인접하여 삼각형을 형성하는, 델타 관계로 배치되며;

상기 열 방향으로 서로 인접한 서브-화소들은, 2개의 서브-화소 행들 내에서, 정 델타 형상 및 역 델타 형상, 또는 삼단들과 하단들이 서로에 대해 반전된 삼각형들로 번갈아 배열되는, 액티브 매트릭스형 디스플레이 장치.

형구항 3

제 1 항에 있어서,

상기 발광부들과 상기 서브-화소 회로들을 접속하기 위한 접속부들은, 상기 행 방향으로 서로 인접한 상기 서브-화소 회로들의 2개의 서브-화소들로 하나의 단위를 형성하며, 상기 2개의 서브-화소들 간에 서로

상미한 위치들에 배열되는, 액티브 매트릭스형 디스플레이 장치.

청구항 4

제 1 항에 있어서,

상기 접속부들은 상기 발광부들의 결정된 형상의 발광 영역을 외부에 배열되는, 액티브 매트릭스형 디스플레이 장치.

청구항 5

제 3 항에 있어서,

상기 접속부들은 상기 발광부들의 결정된 형상의 발광 영역을 외부에 배열되는, 액티브 매트릭스형 디스플레이 장치.

청구항 6

제 3 항에 있어서,

상기 서브-화소 회로들의 회로 소자들의 레이아웃들은 상기 2개의 서브-화소들 간에 동일한, 액티브 매트릭스형 디스플레이 장치.

청구항 7

제 1 항에 있어서,

상기 서브-화소 회로들의 상기 2개의 서브-화소들의 회로 소자들의 레이아웃들은 상기 서브-화소 회로들의 열들 사이의 경계선에 대해 대칭인, 액티브 매트릭스형 디스플레이 장치.

청구항 8

제 6 항에 있어서,

상기 서브-화소 회로들의 상기 2개의 서브-화소들의 회로 소자들의 레이아웃들은 상기 서브-화소 회로들의 열들 사이의 경계선에 대해 대칭인, 액티브 매트릭스형 디스플레이 장치.

청구항 9

제 7 항에 있어서,

상기 서브-화소 회로들은 상기 열 방향을 따라 상기 2개의 서브-화소들의 경계에 루트가 정해진 전원선을 갖고, 상기 전원선은 상기 2개의 서브-화소들 간에 공유되는, 액티브 매트릭스형 디스플레이 장치.

청구항 10

제 1 항에 있어서,

상기 서브-화소 회로들은 서로 인접한 2개의 행들로 단위를 형성하며, 상기 2개의 행들의 서브-화소들에서 회로 소자들의 레이아웃들은 상기 행들 간의 경계선에 대해 대칭인, 액티브 매트릭스형 디스플레이 장치.

청구항 11

제 6 항에 있어서,

상기 서브-화소 회로들은 서로 인접한 2개의 행들로 단위를 형성하며, 상기 2개의 행들의 서브-화소들에서 회로 소자들의 레이아웃들은 상기 행들간의 경계선에 대해 대칭인, 액티브 매트릭스형 디스플레이 장치.

청구항 12

제 10 항에 있어서,

상기 서브-화소 회로들은 상기 행 방향을 따라 상기 2개의 행들의 서브-화소들의 경계에 루트가 정해진 주사선을 갖고, 상기 주사선은 상기 두 행들의 서브-화소들 간에 공유되는, 액티브 매트릭스형 디스플레이 장치.

청구항 13

제 1 항에 있어서,

상기 서브-화소 회로는, 배선 방향을 따라, 배선 패턴에 존재하는 회로 소자의 접속부 근처에 형성된 슬릿을 갖는, 액티브 매트릭스형 디스플레이 장치.

청구항 14

제 1 항에 있어서,

상기 발광 소자는 제 1 전극, 제 2 전극, 및 상기 전극들 사이에 발광층을 포함하는 유기층을 갖는 유기 전계 발광 소자인, 액티브 매트릭스형 디스플레이 장치.

청구항 15

제 1 항에 있어서,

상기 서브-화소 회로는 박막 트랜지스터 회로인, 액티브 매트릭스형 디스플레이 장치,

형구항 16

서브-화소 단위로 발광부들의 발광 소자들을 구동하기 위한 서브-화소 회로들을 매트릭스 방식으로 배열함으로써 형성된 액티브 매트릭스형 디스플레이 장치에 있어서,

상기 서브-화소 회로들은, 배선 방향을 따라, 배선 패턴에 존재하는 회로 소자의 접속부 근처에 형성된 슬롯을 갖는, 액티브 매트릭스형 디스플레이 장치.

형구항 17

제 16 항에 있어서,

상기 발광 소자는 제 1 전극, 제 2 전극, 및 상기 전극들 사이에 발광층을 포함하는 유기층을 갖는 유기 전계 발광 소자인, 액티브 매트릭스형 디스플레이 장치.

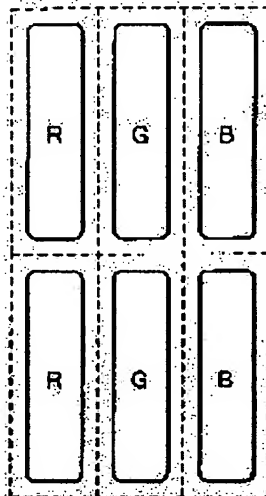
형구항 18

제 16 항에 있어서,

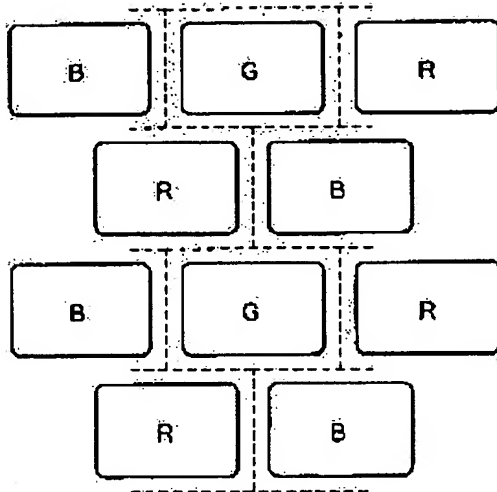
상기 서브-화소 회로는 박막 트랜지스터 회로인, 액티브 매트릭스형 디스플레이 장치.

도면

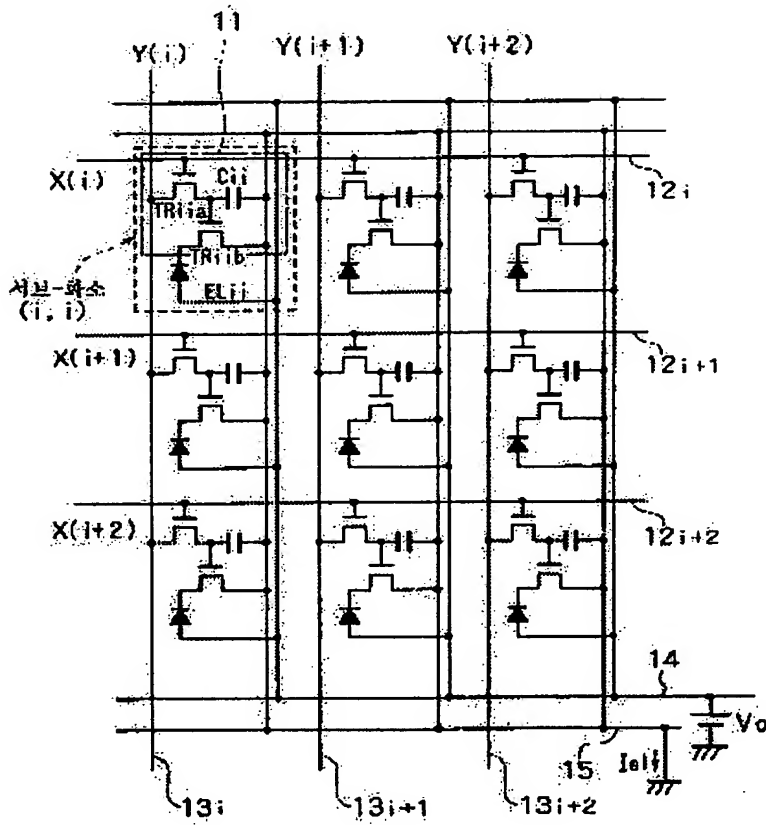
도면1



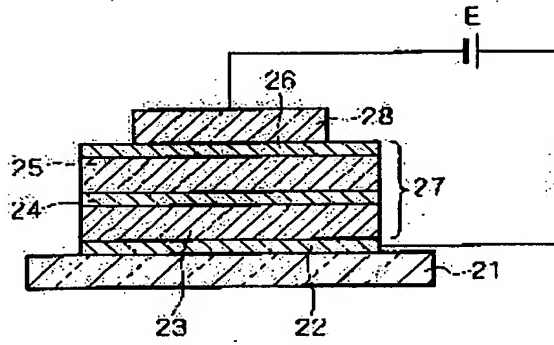
도 2



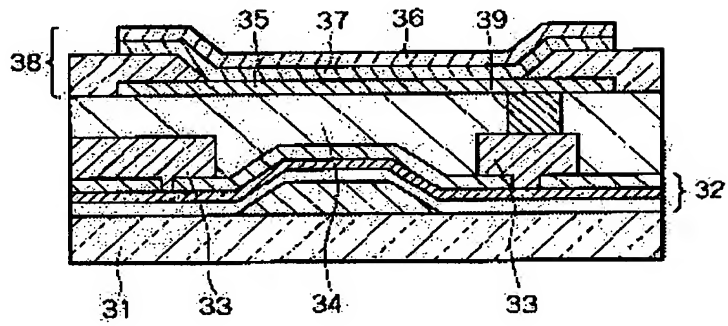
도 3



도 4

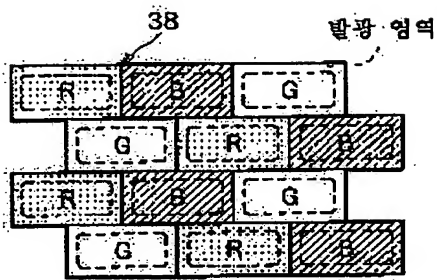


도 5

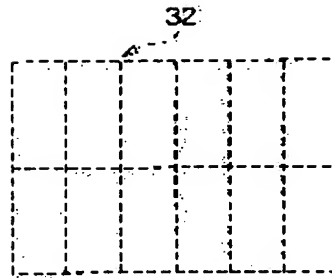


도 8b

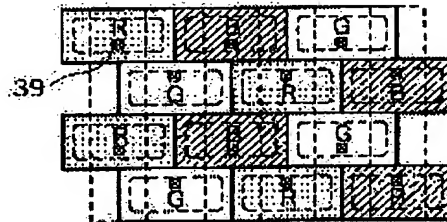
(a)



(b)

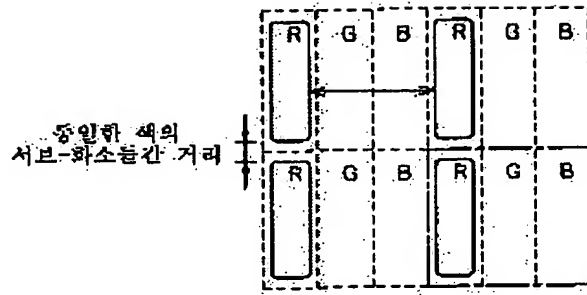


(c)



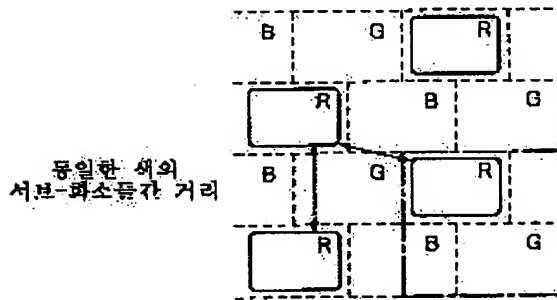
도면

(a)

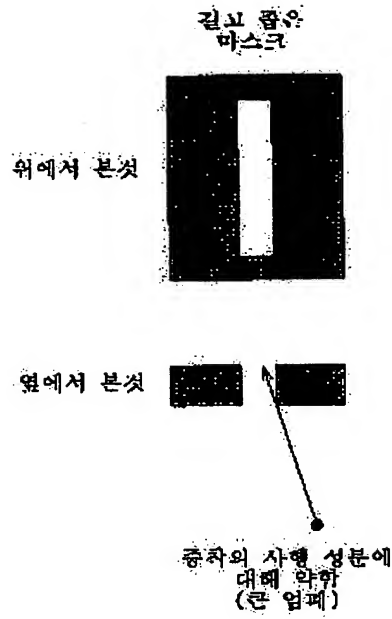


1 RGB에 의해
전유된 동일한 면적

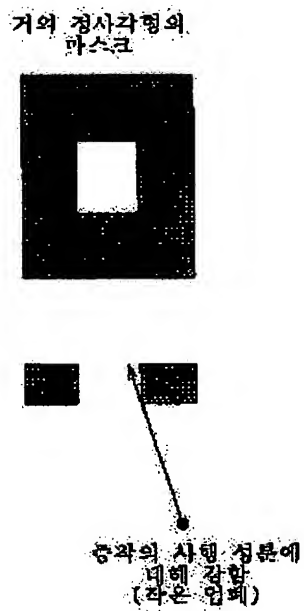
(b)



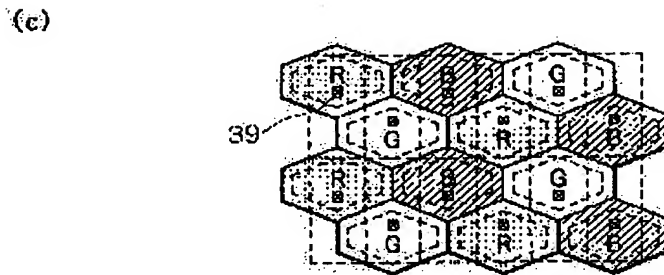
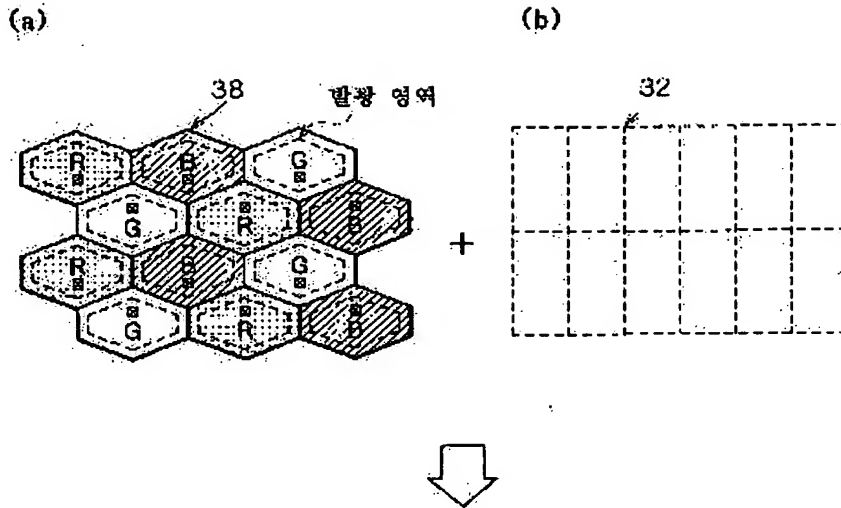
도면 8a



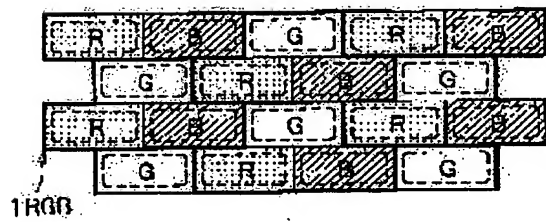
도면 8b



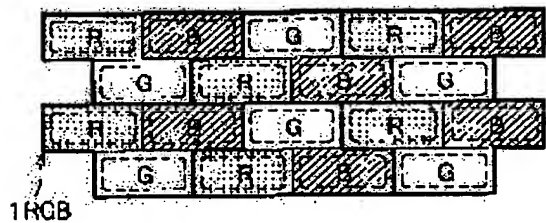
도 10



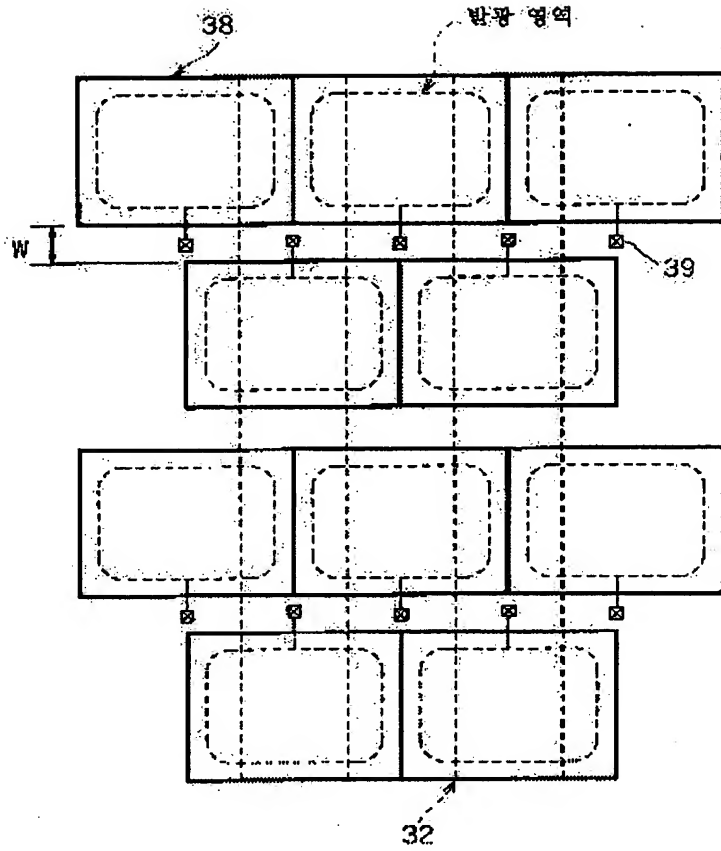
도 10



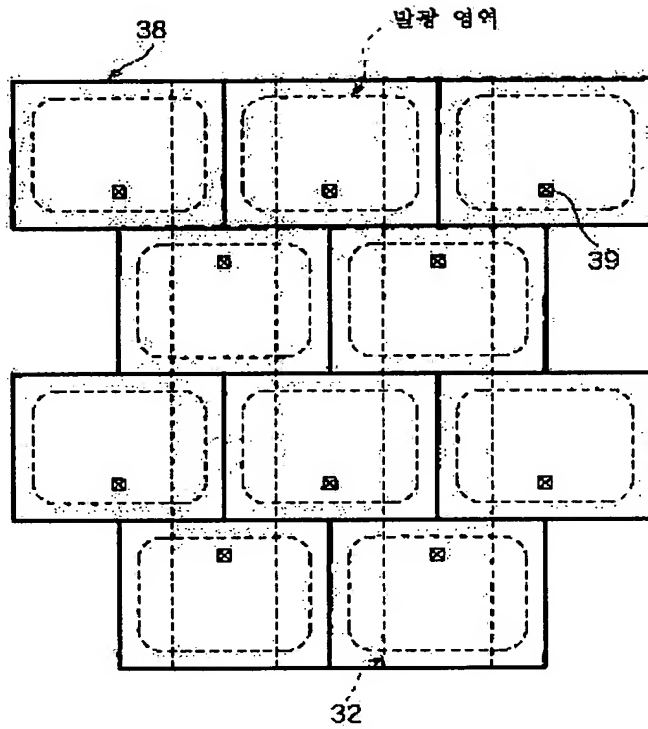
도 11



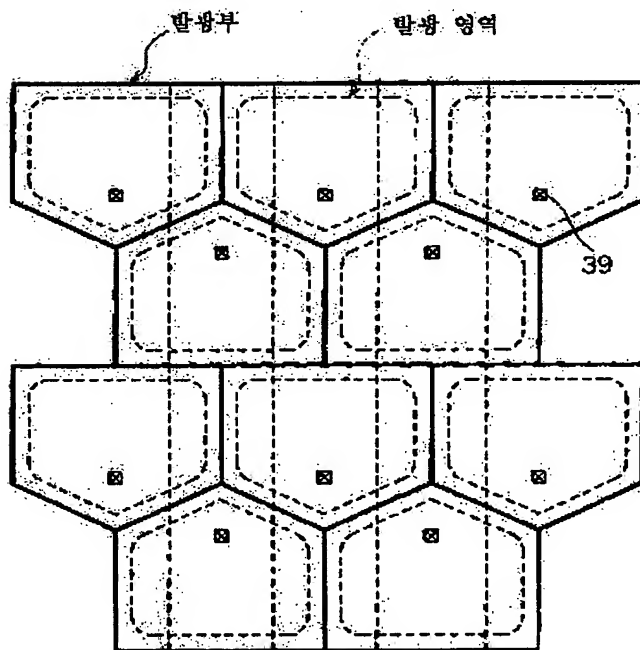
도 12



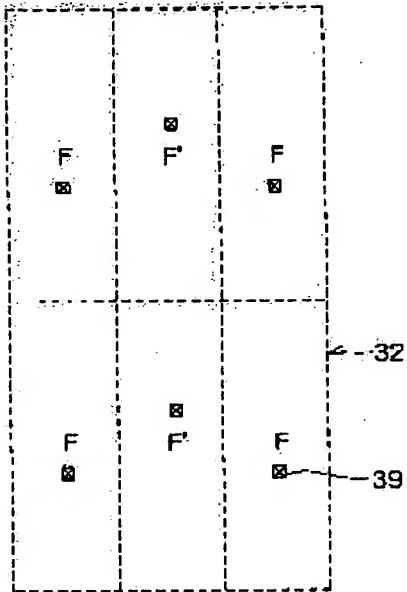
도면 13



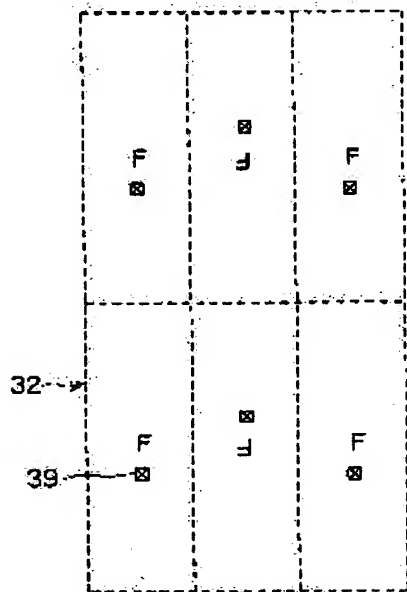
도면 14



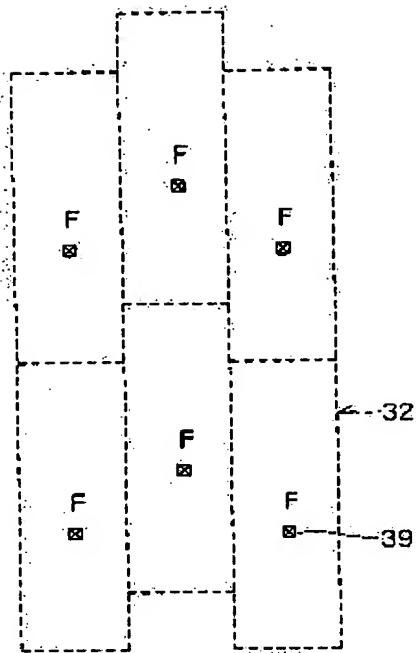
도 15a



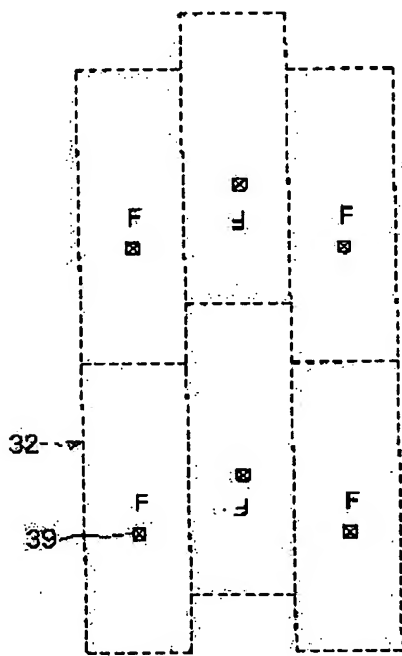
도 15b



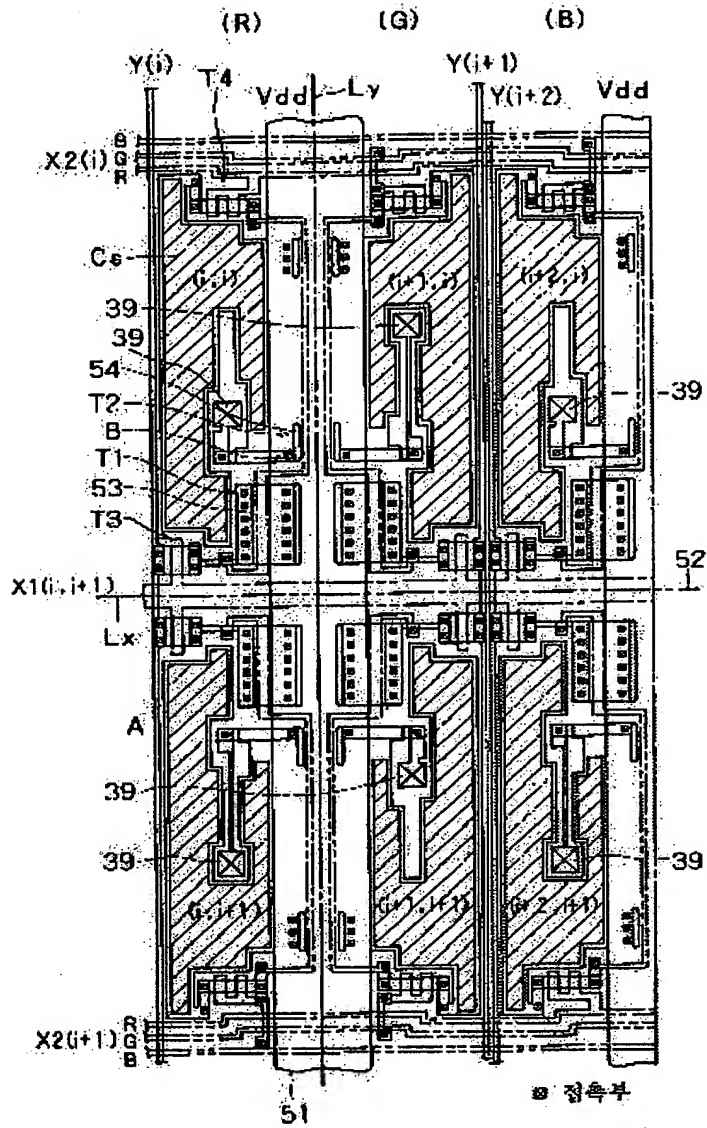
도면 10a



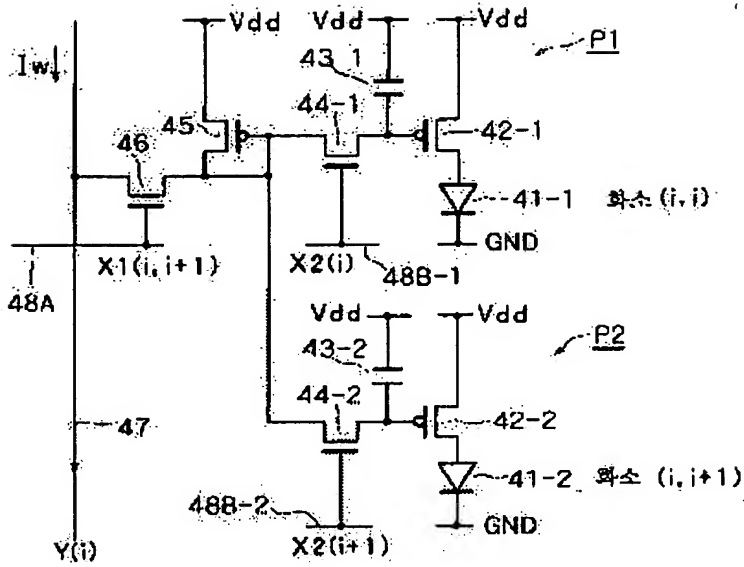
도면 10b



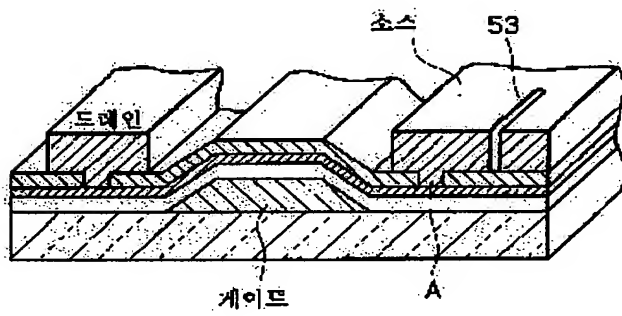
도 17



도면 18



도면 19



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED TEXT OR DRAWING~~
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.